

基于系统级的FPGA回读量产测试方案研究

王婷 王威 李天江 于斯艺

北京微电子技术研究所

DOI:10.12238/acair.v2i4.10309

[摘要] 随着航天领域对空间成像系统的信号处理能力、研制周期的要求愈发苛刻,对FPGA电路的安全性和可靠性的要求越来越高,SRAM型FPGA的结构和静态存储的工艺决定了其对单粒子效应的敏感性极高^[1]。所以,对FPGA进行抗单粒子翻转测试尤为重要^[2]。针对Virtex-II系列FPGA设计并搭建基于系统级的回读量产测试平台,对系统工作原理进行详细阐述,分析系统下载验证模块,并对该系统有效性进行验证。^[3]脱离ATE设备完成对FPGA回读的有效测试,节约FPGA的测试配置时间,节约FPGA的芯片测试成本。

[关键词] FPGA测试; 回读; 配置

中图分类号: TN407 文献标识码: A

Research on System Level FPGA Read Back Mass Production Testing Scheme

Ting Wang Wei Wang Tianjiang Li Siyi Yu

Research on System Level FPGA Read Back Mass Production Testing Scheme

[Abstract] With the increasingly stringent requirements for signal processing capabilities and development cycles of space imaging system in the aerospace field, the safety and reliability requirements for FPGA circuits are becoming increasingly high, the structure and static storage process of SRAM type FPGA determine its high sensitivity to single event effects. Therefore, it is particularly important to conduct anti single event flipping testing on FPGA. Design and build a system level readback mass production testing platform for the Virtex-II series FPGA, elaborate on the working principle of the system, analyze the system download verification module, and verify the effectiveness of the modified system. Detaching the auto testing equipment to complete effective testing of FPGA readback, saving FPGA testing configuration time and FPGA testing costs.

[Key words] FPGA testing; Readback; configuration

引言

FPGA作为数字电路中的重要一员,具备丰富的逻辑资源以及快速的自动化开发能力,是航天、军工等领域的关键核心器件,对保障国家战略安全起着重要作用。随着FPGA的集成度不断增加,内部结构越来越复杂,编程所需构建的互联资源网络也越来越庞大,其内部资源故障发生率相对提高,对FPGA内部资源的测试技术愈加关键^[4]。FPGA测试作为贯穿FPGA研发、生产的重要部分,高效的测试技术是保证FPGA高可靠性的前提,随着FPGA结构越来越复杂,FPGA测试工作也面临着更高的难度,如何提高FPGA器件抗单粒子的能力是保证高可靠至关重要的因素^[5]。

回读(Readback)是一种可将芯片内部存储单元中的值以位流形式的数据读取出来的方法,可以看作是配置FPGA的一个逆过程。回读分为回读验证(Readbackverify)和回读捕获(Readbackcapture)两个部分,回读验证可读回芯片内部配置存储单元和用户存储单元中的当前值,比如查找表、移位寄存器和BRAM;回读捕获回读验证的补充,可以读取所有内部可编程逻辑

资源以及可编程输入输出单元,位流数据在FPGA中是以帧为最小单位排列的,随FPGA容量增加,帧数据种类和每种帧数据中包含的帧数也相应增加^[6]。

本文进行基于系统级的FPGA测试电路设计,监测和提高FPGA抗单粒子翻转的能力,回读FPGA配置信息,判断FPGA工作状况。

1 工作原理

本文针对Virtex-II系列FPGA电路进行了回读量产测试系统的开发设计,如图1所示是回读系统的功能框图。系统主要由待测器件DUT、主控制器FPGA、通讯接口、上位机以及机械手组成。各部分的主要功能如下:

(1) 待测器件DUT: 作为被测器件,完成特定的高测试覆盖率工程。

(2) 主控制器FPGA: FPGA作为主控适用性强,设计灵活,具备强大的并行处理能力,主要功能是对DUT进行回读、selectmap配置,为被测FPGA施加配置,并接收通讯接口的数据及命令进行解析,判断被测FPGA是否功能正常。

(3) 通讯接口：主要用来接收外部命令和数据，需用千兆以太网，传输配置信息以及测试结构，实现上位机和主控制器FPGA的交互^[7]。

(4) 上位机：装有整个系统的操作软件，负责对整个系统的统筹和设置。

(5) 机械手：实现被测芯片的自动吸放，负责将输入的芯片按照系统设计的取放方式运输到测试模块完成电路压测，在此步骤内依据结果对芯片进行筛选分类。

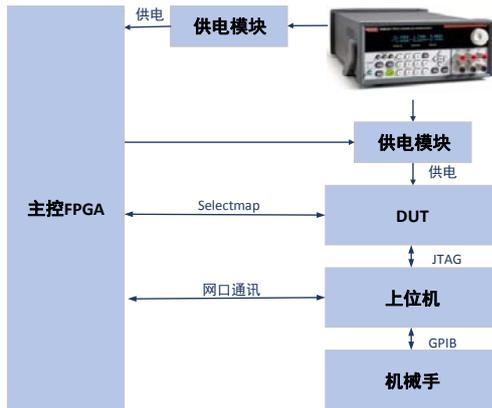


图1 回读测试系统功能框图

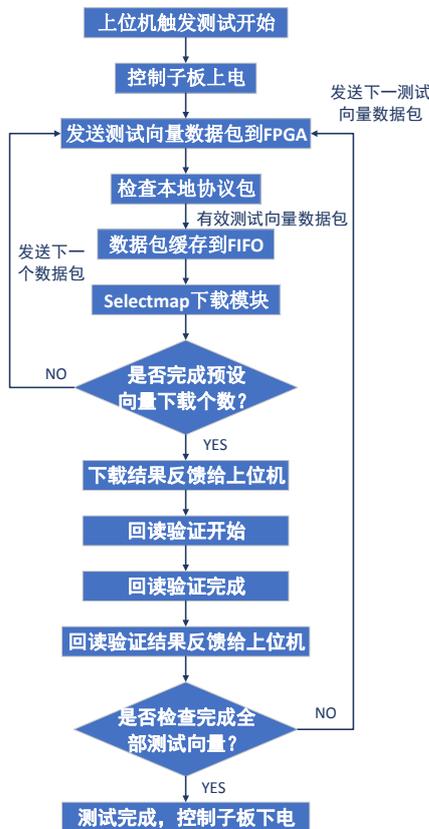


图2 系统工作流程图

系统运行过程如图2所示，上位机触发测试指令，给整个测

试系统供电，通过通讯接口向主控FPGA发送指令，主控FPGA进行解析，并决定进行何种操作，当执行配置时，主控FPGA将读取上位机中存储的相应文件施加于DUT，执行回读操作时，主控FPGA向DUT发送回读指令序列，并读取原始配置数据进行对比，并将测试结果反馈给上位机，当执行操作停止，主控FPGA不再对DUT进行任何操作。

对于FPGA器件编程实现的逻辑电路，其测试方法和一般数字逻辑电路是一样的，但是，把FPGA器件作为编程所实现的一个特定的电路进行测试，只能测试FPGA器件的一部分功能，所以要对一个FPGA器件进行相对完整的测试，可以通过对一个FPGA器件编程后实现的所有功能进行测试。

2 系统下载验证模块

本课题主要用来测试BQ2V3000型FPGA的下载及回读验证，主要采用8位从SelectMAP模式进行下载，边界扫描模式进行回读。

2.1 FPGA固件设计

如图3所示为BQ2V3000芯片下载验证固件设计方案，fpga固件负责以下功能：与上位机通信、建立BQ2V3000驱动。通过上位机选择需要下载的测试向量，上位机将对应数据包下发给主控FPGA，主控FPGA通过selectmap下载模块对被测芯片进行配置，下载完成后，将下载结果反馈给上位机。

fpga根据上位机发送的数据包，完成下载功能，总体的fpga内部模块大致可以分成：时钟模块、网口通信模块、selectmap下载模块。

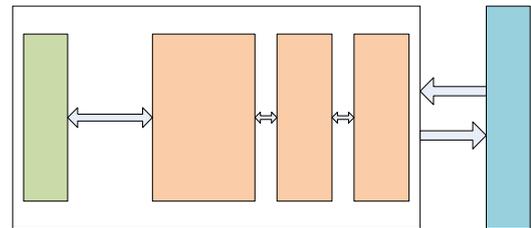


图3 BQ2V3000固件设计图

2.2 通信部分

本测试程序采用千兆以太网数据通信方式实现FPGA芯片和上位机之间的数据传输，通信时钟为125MHZ。图4是本文以太网传输硬件原理图，上位机通过本模块向FPGA发送数据包及控制命令，并接收FPGA反馈的测试结果。

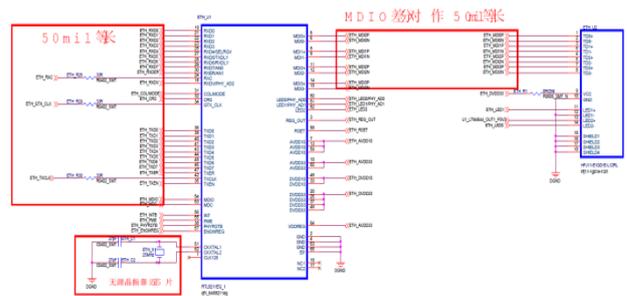
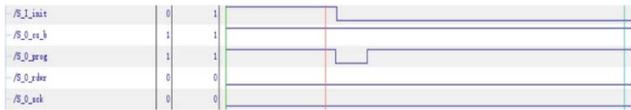


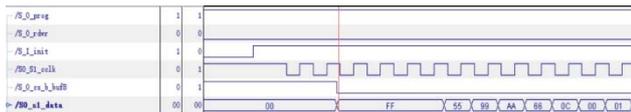
图4 通信接口设计原理图

2.3 selectmap下载部分

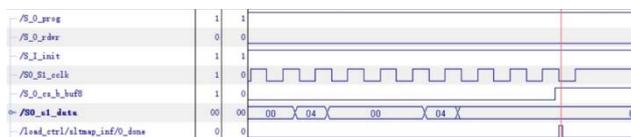
本测试程序采用 8 位从SelectMAP模式对被测芯片进行配置。图5为八位从selectMAP模式下载情况下的debug图,待软件选定测试向量,触发开始下载后,程序内部将PROG脚拉低,待INIT脚拉高后,在CCLK上升沿将8bit数据发送到外部。CCLK频率为50MHZ。在被测芯片下载完成后,片选拉高,被测芯片下载完成。



(a) 芯片初始化debug图



(b) SelectMAP下载过程deug图



(c) SelectMAP下载完成debug图

图5 SelectMAP配置图

2.4边界扫描回读验证部分

本测试采用边界扫描方式进行回读验证,利用JTAG接口的四组控制线: TMS (模式选择)、TCK (时钟)、TDI (数据输入)、TDO (数据输出) 执行回读操作,待下载完成后,PROG引脚处于拉高状态。在impact下添加环境变量,软件运行已配置好的.cmd命令行查看回读验证是否通过。在使用FPGA的过程中,对待测FPGA的配置存储区进行回读,需要注意在ISE生成配置位流文件之前,必须要对配置位流的选项做一些设置,其中有两个强制性设置: BitGen的安全设置不能禁止回读操作,位流文件不能加密。另外一个设置是保证在配置完成后,特殊功能的配置专用管脚不能被复用为普通I/O,否则就不能进行下一步的回读和刷新操作^[8]。

3 实验与分析

3.1测试系统搭建

实验环境为Windows 10系统Xilinx ISE14.7,系统使用的实验设备包括:吉时利直流稳压电源一台,供给12V直流电压;JTAG下载电缆一根;上位机一台;千兆网传输线一根如图6所示,是整个回读测试系统的硬件测试板以及软件工作环境图。



(a) 硬件测试板

(b) 软件界面

图6 测试系统软硬件

3.2测试数据分析

此项目进行了基于FPGA的测试系统搭建,对BQ2V3000电路的码流进行回读测试,图7为回读状态寄存器时BQ2V3000的CCLK引脚以及SelectMAP的D0引脚的示波器波形图,可以看到数据回读状态正确,测试模式正确。

基于测试系统对100只电路进行测试验证工作,芯片均通过测试,具备稳定的量产能力。



图7 回读波形图

4 结论

本文的研究工作围绕FPGA电路的回读测试展开。以Virtex-II系列的FPGA电路为研究对象,根据电路特征总结了一套适用于该类型FPGA回读测试的测试理论和测试方法。为各系列FPGA电路脱离ATE的回读量产测试提供了很好的技术理论支撑,根据文中建立的一套完整的测试流程,形成了一个稳定的测试平台,可以实现产品的工程量产,测试结果达到了预期目标。

[参考文献]

- [1]李林,徐宇,卢凌云,等.基于部分重构的SRAM型FPGA单粒子翻转模拟[J].微电子学与计算机,2015,(12):95-99+104.
- [2]王佳丽.基于空间成像应用的SRAM型FPGA抗单粒子翻转技术研究[D].中国科学院西安光学精密机械研究所,2018.
- [3]费亚男.基于动态可重构技术的FPGA中SEU故障容错方法研究[D].哈尔滨工业大学,2013.
- [4]王超,邓平科,林宝军.一种基于Flash型FPGA的高可靠系统设计[J].微计算机信息,2009,25(23):134-135+119.
- [5]Xilinx, Inc. Triple Module Redundancy Design techniques for Virtex FPGAs. Xilinx Application Note APP197,2006.
- [6]Lima F D, Carro L, Reis R. Single Event Upset Mitigation Techniques for SRAM-based FPGAs[J].
- [7]王子懿,沈三民,杨峰.基于FPGA的高速大容量存储与传输系统.电子测量技术[M].机械工业出版社,2021-07,44:17.
- [8]费尔南达·利马·卡斯腾斯密得,路易吉·卡罗,里卡多·赖斯,等.基于SRAM的FPGA容错技术[M].中国宇航出版社,2009.

作者简介:

王婷(1995—),女,汉族,山西省大同市人,硕士研究生,助理工程师,研究方式:从事集成电路测试工作。