

数字集成电路设计实验课单元考核设计

洪嘉

电子科技大学成都学院

DOI:10.12238/mef.v8i5.11515

[摘要] 为满足国家对培养集成电路专业人才的迫切需求,“数字集成电路设计”作为集成电路课程体系中的核心专业课,有必要对教学方案进行不断优化和提升。“数字集成电路设计实验”是本校面向工科专业的一门实习实训类课程,其课程考核包含单元考核与期末考核两个部分。本文详述该课程的单元实验考核设计、实施效果与改进方向,包括采用结构化和标准化的考核方式、更多地引入学生讲解环节、鼓励在代码优化上获得加分、设置学业标志性成果评价等,以期提高课程考核水平,使其更能达到课程考核目的,更能满足当今工科大学生的发展需求。

[关键词] 数字集成电路设计; Verilog; VCS 仿真; 课程考核

中图分类号: G622.3 **文献标识码:** A

A Design of Unit Tests of Digital IC Design Course

Jia Hong

Chengdu College of UESTC

[Abstract] In order to meet China's urgent needs for cultivating IC professionals, the digital IC design, as a core professional course in the college IC curriculum, sees the necessity of continuous enhancement of its teaching program. The 'Digital IC Design Experiment' is a practical training course for engineering majors in our university, whose course test has two parts: unit tests and the final exam. The paper details a design of unit tests, with their outcomes and some potential measures, including structured and standardized test manner, introduction of more student presentations, code optimization encouragement and introduction of academic landmark achievement evaluation etc., for both achieving the objectives of the course test and meeting the demand of the development of engineering college students.

[Key words] digital IC design; Verilog; VCS simulation; test

引言

为满足国家对培养集成电路专业人才的迫切需求^[1],“数字集成电路设计”作为集成电路课程体系中的核心专业课,有必要对教学方案进行不断优化和提升。“数字集成电路设计实验”是本校面向工科专业的一门实习实训类课程,具有“重实践、难度较大、应用性较强”的特点。课程考核包含单元考核与期末考核两个部分。本文将详述“数字集成电路设计实验”课的单元实验考核设计、实施效果与改进方向,以期提高课程考核水平,使其更能达到课程考核目的,更能满足当今工科大学生的发展需求。

1 课程考核方式简介

本校的数字集成电路设计实验课是让学生在已完成数字电路相关课程的基础上,重点实践数字集成电路设计和功能仿真,要求学生设计典型的数字集成电路,在虚拟机环境下使用VCS仿真工具,完成Verilog代码设计、激励程序设计以及仿真验证,

锻炼学生硬件语言能力、电路设计能力和软件操作能力。该课程考核实施方案分为两个部分:第一,平时成绩:单元实验成果检查,主要考察同学各单元的数字集成电路设计实验完成情况;第二,期末考核成绩:统一命题的一项数字集成电路设计实验,以实验报告的形式,考核学生实验报告的完整性和真实性。

该课程对各单元实验进行考核的主要步骤是:学生根据各单元实验要求编写Verilog源代码和用于功能验证的testbench测试程序,在VCS软件上完成编译和功能仿真,教师检查学生的Verilog源代码和testbench测试程序,检查DVE波形查看器上的仿真结果。

该课程所包含的教学暨考核单元可以包括编码器实验、加法器实验、计数器实验、分频器设计、乘法器实验、基于状态机编写流水灯控制器、数码管驱动实验等。下面以编码器实验为例,详细介绍本课程的单元实验考核设计。

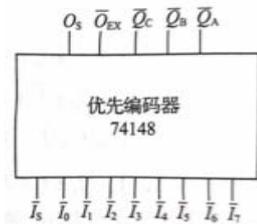
2 本课程单元实验考核设计举例

编码器实验首先介绍编码器的基本概念：在数字系统中，信息都是由代码来表示的，用一组二进制代码表示某一种信息的过程称为编码。完成编码逻辑功能的电路称为编码器，编码器是数字系统中广泛使用的多输入多输出组合逻辑部件。根据逻辑功能的特点，编码器可分为普通编码器和优先编码器。其中，普通编码器在任何时刻，只能有一个输入端为有效电平，不允许同时有多个输入信号有效，否则会出现错误的输出；而优先编码器工作时，允许多个输入端同时出现有效输入信号，按设定的优先级排序，只对优先级最高的输入信号进行编码。

在简要回顾编码器的概念之后，由学生自行完成基本编码器的课堂练习，包括编写4线转2线普通编码器、用if-else语句编写4线转2线优先编码器、以及用case语句编写8线转3线优先编码器，最后是编码器的单元实验考核——用4个8线转3线优先编码器74148与1个4线转2线优先编码器相级联的方式实现32线转5线优先编码器。由于该考核任务与前面几个课堂练习相比难度有所增大，教师需要采用任务分解、层层递进的方式指导学生完成，可以分为以下四个步骤。

2.1 教师讲解优先编码器74148(8线转3线)的工作原理

优先编码器74148是一种常用的中规模集成电路，重点需要给学生讲解它的编码方式，包括输入信号的优先级别排序、电平有效性规定、输出信号的反码形式，以及使能输入端、使能输出端和扩展输出端的具体含义和作用。^[2]优先编码器74148的逻辑符号、真值表如图1所示。



输入								输出				
I_7	I_6	I_5	I_4	I_3	I_2	I_1	I_0	O_2	O_1	O_0	O_{EX}	O_E
1	d	d	d	d	d	d	d	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	0
0	d	d	d	d	d	d	d	0	0	0	0	1
0	d	d	d	d	d	0	1	0	0	1	0	1
0	d	d	d	d	0	1	1	1	0	1	1	0
0	d	d	d	0	1	1	1	1	1	0	0	1
0	d	d	0	1	1	1	1	1	1	0	1	0
0	d	0	1	1	1	1	1	1	1	1	0	0
0	0	1	1	1	1	1	1	1	1	1	1	0

图1 优先编码器74148的逻辑符号、真值表

2.2 教师讲解如何用两片优先编码器74148扩充为16线转4线优先编码器

我们已知可以将两片8线转3线的优先编码器74148通过特定的连接方式扩充为16线转4线优先编码器，其逻辑电路图如图2所示，此处的重点是给学生讲解该扩充方法的工作原理，包括高位片(片II)和低位片(片I)的关系、总的选通输入端、总的优先扩展输出端、使能输入端与使能输出端的连接关系、以及当

高位片的8个输入信号中存在或不存在中断请求信号的分情况分析。

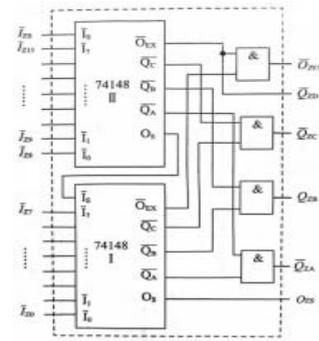


图2 用两片优先编码器74148扩充为16线转4线优先编码器

2.3 引导学生思考如何用四片优先编码器74148与一片4线转2线优先编码器相级联，扩充为32线转5线优先编码器

在上一个步骤用两片优先编码器进行功能扩充的基础上，进一步使用四片优先编码器74148与一片4线转2线优先编码器相级联，通过特定的连接关系，构建成为32线转5线优先编码器。与上一个步骤的详细讲解不同，这时教师只需要给出逻辑电路图(图3)，进行简单介绍，引导学生自行思考和分析电路逻辑，培养学生对中规模组合逻辑数字集成电路的分析和设计能力。

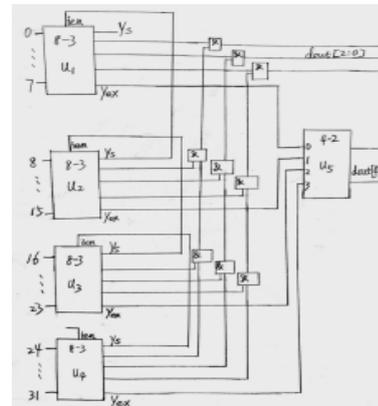


图3 32线转5线优先编码器的逻辑电路图

2.4 学生编写上述32线转5线优先编码器的源代码和testbench, 并完成功能仿真

与其余的单元实验要求一样，该单元实验要求学生编写Verilog源代码和用于功能验证的testbench测试程序，在VCS软件上完成编译和功能仿真，教师检查学生的Verilog源代码和testbench测试程序，检查DVE波形查看器上的仿真结果。参考源代码的顶层模块如下：

```

module encoder32to5(din, dout, ien, ys, yex);
input [31:0] din; //32位编码输入
input ien; //总的选通输入端
output ys, yex; //低位片u1的使能输出端, 总的优先扩展输出端
output [4:0] dout; //5位编码输出
    
```

```
wire r1, r2, r3, r4, r5, r6, r7; //使能输入端、使能输出端、
优先扩展输出端
wire[2:0] mid1, mid2, mid3, mid4; //四片优先编码器74148
各自的3bit输出
encoder8to3 u1 (din[7:0], mid1, r3, ys, r4); //74148例化
为低位片u1
encoder8to3 u2 (din[15:8], mid2, r2, r3, r5); //74148 例
化为u2
encoder8to3 u3 (din[23:16], mid3, r1, r2, r6); //74148例
化为u3
encoder8to3 u4 (din[31:24], mid4, ien, r1, r7); //74148
例化为高位片u4
encoder4to2 u5 (.din({r7, r6, r5, r4}), .dout(dout[4:3]), .yex
(yex));
//4线转2线优先编码器例化为u5, 得到编码输出的高两位
assign dout[2:0]=mid1&mid2&mid3&mid4;
//四片74148的输出按位与, 得到编码输出的低三位
endmodule
```

3 本课程单元实验考核的实施效果与改进方向

本课程可设计6~9个单元实验用以给出学生的平时成绩, 根据各实验的总工作量和难度确定各单元实验的分值, 根据学生对各单元实验的完成质量和提交先后进行评分。

学期末的考核结果显示, 本课程的各单元实验考核达到了预期目标, 其中包括: 考察学生们正确运用Verilog语言实现数字集成电路中常用模块的动手能力, 学生们对于仿真技术基本概念以及VCS仿真环境的掌握情况, 以及学生们运用自上而下和模块化的设计理念设计和优化数字集成电路的基本能力。

尤为值得一提的是, 单元实验考核不仅及时检验了教学效果, 也激发了学生的学习动力和自信心, 培养和展现出学生们良好的沟通与协作能力, 有效提升学生们的动手能力和创新思维。由于每个单元都向学生们及时反馈考核结果, 同时给出具体的改进建议, 帮助学生明确自己的优点和不足, 不少学生能够克服学习难点, 后面单元的考核分数较前面单元有所提升。

当然, 单元实验考核有很大的改进空间, 比如采用结构化和标准化的考核方式、更多地引入学生讲解环节、鼓励在代码优化上获得加分、设置学业标志性成果评价等方法。

3.1 结构化和标准化的考核方式

传统的实验考核方法可能存在一些不足, 如主观性强、缺乏统一标准等, 可能导致考核结果的不公平和不准确, 解决办法可以考虑采用结构化和标准化的考核方式。

首先, 结构化考核方式意味着考核过程应该被明确地分解为一系列有序的步骤或阶段, 每个阶段都有明确的目标和标准。这可以通过制定详细的考核大纲和评分标准来实现。考核大纲应明确列出每个实验单元的核心知识点和技能点, 以及相应的考核要求和评分标准。

其次, 标准化考核方式强调使用统一的标准来评估所有学

生的表现。可以通过建立标准化的实验流程和考核程序来实现, 评分标准应具体、客观、公开透明, 能够准确反映学生在各个方面的表现。

3.2 更多地引入学生讲解环节

更多地引入学生讲解环节是一种有效的教学方法, 要求学生对照自己编写的源代码、testbench、仿真结果进行口头报告, 可以加深学生对课堂内容的理解, 使学习过程更加生动有趣, 同时也是防止学生之间互相引用的手段之一。

此处需要为学生设定合理的讲解时间, 既保证他们能够充分展示, 又不至于占用过多课堂时间。学生讲解的评分点包括内容质量(是否准确、全面、覆盖关键知识点)、表达能力、互动能力、创意与深度, 并在讲解结束后给予具体、建设性的反馈。

3.3 鼓励在代码优化上获得加分

在完成单元实验任务的基础上, 鼓励学生进行代码优化, 甚至创新, 模拟提高电路运行速度或降低资源消耗。这样不仅能够锻炼学生们的硬件语言能力、逻辑思维能力和创新思维, 也能激发学生对问题的深入思考、广泛的阅读和研究。加分制度有助于提高这部分学生的课程成绩和竞争力, 有助于其建立自信心和成就感, 为他们未来的学术和职业发展奠定基础。

3.4 设置学业标志性成果评价

由于本课程的单元实验考核呈现出比较高的灵活性与延展性, 参考过程评价和能力评价相结合的学习评价体系, 本课程可设置学业标志性成果评价^[3], 鼓励与课程相关的学科竞赛获奖、论文、知识产权等成果, 作为相应单元实验考核的加分项, 促进学生的全面成长。在考核与评价过程中, 根据课程特点, 制定科学合理的评价标准和方法, 全面、客观地反映学生的学术能力和创新能力。

4 总结

“数字集成电路设计实验”课的单元考核部分主要考察学生各单元实验完成情况。本文介绍了该课程的单元实验考核设计、实施效果与改进方向, 包括采用结构化和标准化的考核方式、更多地引入学生讲解环节、鼓励在代码优化上获得加分、设置学业标志性成果评价等, 这些措施和方法需要根据课程实际单元内容进行调整, 更多的提升和优化措施有待探索和应用。

[参考文献]

[1]潘赞,朱晓雷,朱怀宇,等.“数字集成电路设计”课程改革研究[J].工业和信息化教育,2023,(07):59-66.

[2]于俊清,赵贻竹,何云峰.数字电路与逻辑设计[M].北京:人民邮电出版社,2023.

[3]蒋霞,张燕,沈玲玲.新工科背景下基于“一核心”、“三融合”的《通信原理》课程建设[J].电子科技大学成都学院学报,2024,2(44):101-105.

作者简介:

洪嘉(1979—),女,汉族,四川省成都市人,电子科技大学硕士研究生,高级工程师,研究方向:电子科学与技术。