

# FPGA 与定制 ADC 协同的数据采集优化设计

王方

泉州轻工职业学院

DOI:10.12238/acair.v3i1.11928

**[摘要]** 本文围绕高精度数据采集需求,深入探究基于FPGA与定制ADC芯片协同的数据采集系统优化设计方案。详细阐述系统整体架构,涵盖定制ADC芯片特性剖析与FPGA功能模块构建,深入解析数据传输与处理流程中的优化策略,包括多层次高速缓存机制与同步控制逻辑优化等方面。经由实验验证,优化后的系统在精度、速度及稳定性等关键性能指标上均有显著提升,为相关数据采集领域提供了高效可靠的技术借鉴与参考。

**[关键词]** FPGA; 定制ADC芯片; 数据采集; 系统优化

中图分类号: N37 文献标识码: A

## Optimization design of data acquisition in collaboration with FPGA and custom ADC

Fang Wang

Quanzhou Vocational College of Light Industry

**[Abstract]** This paper focuses on the requirements of high-precision data acquisition, and deeply explores the optimization design scheme of the data acquisition system based on the collaboration between FPGA and customized ADC chips. The overall architecture of the system is elaborated in detail, covering the aspects of customized ADC chip feature analysis and FPGA function module construction, and deeply analyzing the optimization strategies in the data transmission and processing process, including multi-level cache mechanism and synchronous control logic optimization. Through experimental verification, the optimized system has been significantly improved in key performance indicators such as accuracy, speed and stability, which provides efficient and reliable technical reference for the relevant data acquisition field.

**[Key words]** FPGA; Custom ADC chip; Data acquisition; System optimization

## 引言

随着科技的快速发展,高精度数据采集系统在多个领域扮演着关键角色。在工业自动化领域,精确的传感器数据采集是精细化生产调控的基础。自动化系统通过实时监测温度、压力等物理量,及时调整生产参数,保障流程高效稳定,提升产品质量,降低成本。在科研实验中,如量子物理和化学痕量分析,精确检测微弱信号对于探索微观世界和发现新物质特性至关重要。这些实验需要极高的数据采集精度来检测纳伏级别的电信号或微小物理量变化。

传统数据采集系统基于通用ADC芯片和固定架构微控制器,但面对高精度、高速度和灵活性需求时,存在局限性。通用ADC芯片参数固定,难以满足特定应用场景需求,且传统数据处理单元处理复杂算法和高速数据流时能力有限。相比之下,基于FPGA和定制ADC芯片的数据采集系统具有优势。FPGA可编程特性允许根据任务和算法需求定制硬件逻辑,定制ADC芯片可针对特定信号类型、精度和采样速度优化设计。二者协同为高精度数据采

集提供有效解决方案。然而,实际应用中,系统面临数据传输速率匹配、同步控制精准性以及系统稳定性和可靠性等挑战,需要优化设计以提升性能,满足高精度数据采集需求。

## 1 系统整体架构设计

### 1.1 定制ADC芯片选型与特性分析

在构建高精度数据采集系统时,定制ADC芯片的选型是至关重要的第一步。这一决策需要综合考量多方面因素,以确保芯片能够精准匹配系统的特定需求。首先,对于数据采集的精度要求,需要依据应用场景确定所需的分辨率。例如,在某些精密测量场合,可能需要18位甚至20位以上的高分辨率ADC芯片,以确保能够精确捕捉到微小的信号变化。采样速度则需根据被采集信号的频率特性来确定。对于高频信号采集,如雷达信号处理或高速通信信号监测,采样率可能需要达到数百MS/s乃至更高。

深入研究定制ADC芯片的关键参数是选型的核心环节。分辨率不仅决定了能够区分的最小信号变化量,还与芯片的量化误差密切相关。较高的分辨率有助于降低量化噪声,提高信噪比,

但同时也会增加芯片的设计复杂度和成本。采样率直接影响系统对快速变化信号的捕捉能力,采样率不足可能导致信号失真或信息丢失。信噪比则是衡量ADC芯片性能的重要指标,它反映了信号与噪声在采集过程中的比例关系。高信噪比意味着采集到的数据更纯净,信号质量更高。

此外,对芯片内部电路结构的分析能够为后续与FPGA的协同设计提供关键依据。模拟前端设计决定了芯片对输入模拟信号的预处理能力,包括信号的放大、滤波和采样保持等功能。合理的模拟前端设计能够优化信号调理,提高采集精度。量化编码方式则影响着ADC芯片的转换效率和数据输出格式,不同的量化编码算法在精度、速度和硬件资源消耗等方面各有优劣。例如,逐次逼近型ADC具有中等速度和较高精度,适用于多种通用数据采集场景;而 $\Sigma-\Delta$ 型ADC则在高分辨率、低频信号采集方面表现出色,通过采样和噪声整形技术能够有效提高信噪比。通过对这些特性的深入研究与权衡,选择出最适合数据采集系统需求的定制ADC芯片,为整个系统的高性能运行奠定坚实基础。

## 1.2 FPGA功能模块划分

FPGA在整个数据采集系统中扮演着核心控制与数据处理枢纽的角色,其内部功能模块的合理划分与设计直接关系到系统的整体性能。

控制模块作为系统的指挥中心,承担着对ADC芯片的全面控制任务。其设计通常采用有限状态机(FSM)架构,这种架构能够清晰地定义ADC芯片在不同工作阶段的状态转换逻辑。在系统初始化阶段,控制模块依据预先设定的配置参数,通过特定的通信协议向ADC芯片发送初始化指令,设置芯片的工作模式、采样率、增益等关键参数。在数据采集过程中,控制模块精准地控制ADC芯片的启动与停止操作,确保数据采集的时序准确性。同时,它还负责协调ADC与FPGA之间的数据传输调度,根据数据缓存模块的状态信息和系统的处理能力,合理安排数据的读取与存储时机,避免数据拥塞或传输中断。

数据缓存模块的设计旨在解决ADC与FPGA之间数据传输速率不匹配的问题,采用高效的存储结构是提高缓存效率的关键。双端口RAM是一种常用的选择,其具有两个独立的数据端口,允许同时进行数据写入和读取操作。在靠近ADC芯片端,设置小容量高速缓存,通常采用FIFO(先进先出)队列的形式。FIFO队列的独特优势在于其数据存储与读取的顺序性,能够快速接收ADC输出的数据,有效避免数据丢失。当FIFO缓存达到一定深度或满足特定条件时,数据被传输至FPGA内部的大容量双端口RAM缓存区进行进一步处理。通过合理设置缓存区的深度和宽度,能够优化数据存储与读取效率,满足不同速率的数据处理需求。例如,在高速数据采集场景下,适当增加缓存区的深度可以缓解数据传输的突发压力,确保数据能够稳定地传输至后续处理单元。

通信接口模块则是数据采集系统与外部设备进行信息交互的桥梁。根据不同的应用需求,可采用常见的接口标准如USB、以太网等。USB接口具有即插即用、通用性强的特点,适用于与

个人计算机等外部设备进行数据传输,方便用户进行数据的实时监测与分析。以太网接口则具备高速、远距离传输的优势,更适用于工业控制网络或分布式数据采集系统中,能够实现多设备之间的数据共享与集中管理。通信接口模块负责将采集到的数据按照选定的接口标准进行格式转换与传输,同时接收来自外部设备的控制指令与配置信息,实现系统与外部环境的灵活交互。

## 2 数据传输与处理优化策略

### 2.1 高速缓存机制设计

在ADC与FPGA协同工作的数据采集系统中,数据传输速率的匹配是一个关键问题。由于ADC芯片的采样速度与FPGA内部数据处理单元的处理速度往往存在差异,设计一种高效的高速缓存机制至关重要。

多层次高速缓存结构能够有效地解决这一问题。在靠近ADC芯片端设置的小容量高速缓存,采用FIFO队列形式,其具有快速响应和存储数据的能力。FIFO的深度需要根据ADC的采样率和FPGA处理数据的延迟进行合理设计。例如,对于采样率较高的ADC芯片,如100MS/s的采样率,若FPGA处理一次数据的平均时间为100ns,则在这段时间内ADC将会产生10,000个采样数据。为了避免数据丢失,FIFO的深度应至少设置为10,000级以上。同时,为了适应不同时钟域的数据传输,采用异步FIFO设计。异步FIFO通过特殊的指针控制逻辑和双端口RAM存储结构,能够在不同时钟频率的读写操作之间实现数据的安全传输。

当FIFO缓存中的数据达到一定数量或满足特定条件时,数据将被传输至FPGA内部的大容量缓存区。大容量缓存区可采用双端口RAM或其他合适的存储结构,其深度和宽度的设置需要综合考虑系统的数据处理能力和数据存储需求。例如,在处理图像数据采集时,由于图像数据量较大,需要设置较大容量的缓存区来存储一帧或多帧图像数据。通过合理优化缓存区的读写控制逻辑,可以提高数据存储与读取的效率。例如,采用双缓冲技术,当一个缓冲器正在接收ADC数据时,另一个缓冲器可将数据传输至后续处理单元,如数据处理模块进行滤波、校准等操作,这样可以实现数据的连续传输与处理,大大提高系统的整体数据处理效率。

### 2.2 同步控制逻辑优化

精确的同步控制逻辑是确保ADC与FPGA之间数据采集与传输准确性的关键。在高速数据采集系统中,时钟偏差是影响数据同步的主要因素之一。

为减少时钟偏差对数据同步的影响,采用时钟同步技术是一种有效的解决方案。其中,全局时钟网络分配时钟信号是一种常用的方法。通过精心设计时钟分配网络,确保ADC芯片和FPGA各个功能模块都能够接收到同步的时钟信号。例如,在PCB设计阶段,采用等长布线技术,使时钟信号传输路径的长度尽可能相等,从而减少时钟信号到达不同模块的时间差。同时,采用时钟缓冲器和时钟驱动器对时钟信号进行整形和增强,提高时钟信号的质量和稳定性。

此外,设计合理的握手信号协议对于保证数据传输的可靠性与稳定性同样重要。在ADC数据准备好后,向FPGA发送有效信号,如“data\_ready”信号。FPGA接收到该信号后,立即响应并进行数据读取操作。为了确保信号传输的准确性,握手信号通常采用边沿触发的方式,并在信号线上添加适当的上拉电阻或下拉电阻,防止信号干扰导致的误触发。同时,在FPGA内部设计信号同步电路,对来自ADC的异步信号进行同步处理,使其能够与FPGA的内部时钟域相匹配。通过这种精确的同步控制逻辑设计,能够有效地避免数据采集过程中的误码、漏码等问题,确保数据的完整性和准确性。

### 3 实验验证与结果分析

为了全面评估优化后的数据采集系统性能,搭建了基于FPGA与定制ADC芯片协同的数据采集实验平台。在实验平台中,采用高精度信号源产生模拟输入信号,信号类型涵盖了正弦波、方波以及各种复杂的混合信号,信号频率范围从低频的几赫兹到高频的数兆赫兹,信号幅度也具有较宽的动态范围,以充分测试系统在不同工况下的性能表现。

对优化前后的数据采集系统分别进行了详尽的测试,并对比了采集数据的多项关键性能指标。在精度指标方面,重点考察了误差范围和线性度。通过对大量采集数据的统计分析发现,优化后的系统在误差范围上较优化前有了显著的缩小。例如,在采集1V标准电压信号时,优化前的系统误差范围可能在±0.1%左右,而优化后系统的误差范围降低至±0.08%,精度提高了20%。线性度方面,优化后的系统表现出更好的线性响应特性,在整个信号幅度范围内,数据采集的线性拟合度更高,偏差更小。

采样速度的提升也是优化设计的重要成果之一。实验结果表明,优化后的系统采样速度从原来的50MS/s提升到了200MS/s,提升幅度达到了150MS/s。这一显著的提升使得系统能够更好地适应高速信号采集的需求,如在高速通信信号监测或高频振动信号采集等应用场景中能够更精准地捕捉信号的细节信息。

在系统稳定性方面,进行了长时间运行测试。优化后的系统在连续运行72小时的过程中,未出现数据丢失或错误等异常情况,展现出了良好的稳定性。这得益于优化后的高速缓存机制和同步控制逻辑,有效地避免了因数据传输错误或处理异常导致

的系统故障。通过这些实验结果的全面分析,充分验证了所提出的优化策略在提升数据采集系统性能方面的可行性与有效性,为该系统在实际工程应用中的推广奠定了坚实的基础。

### 4 结论

本文针对基于FPGA与定制ADC芯片协同的高精度数据采集系统进行了深入的优化设计研究。通过对系统架构的精心规划,包括定制ADC芯片的选型与特性分析以及FPGA功能模块的合理划分,为系统构建了坚实的硬件基础。在数据传输与处理流程方面,创新地提出了多层次高速缓存机制和同步控制逻辑优化策略,有效解决了ADC与FPGA之间数据传输速率不匹配以及同步控制精准性等关键问题。

经过严格实验,改进后的系统在关键性能指标上显著提升。精度提高增强了系统在高数据质量要求场景的应用,如科研精密测量和高端制造业质量控制。采样速度的提升扩展了系统应用范围,适应高速信号采集需求,如通信和雷达探测。稳定性保证了系统长时间可靠运行,减少了维护成本和故障风险。

随着半导体技术的进步,未来将出现更先进的ADC芯片,例如具有更高分辨率和采样率、更低功耗的产品。同时,FPGA的资源利用将通过创新算法和动态可重构技术得到改进。这些技术在数据采集系统中的应用,有望推动系统性能提升、体积缩小和功耗降低,从而为科技发展提供更强大的数据采集支持。

### [参考文献]

[1]51CTO博客.基于ARM+FPGA+AD的高精度数据采集系统设计[EB/OL].[https://blog.51cto.com/u\\_15812463/8644418](https://blog.51cto.com/u_15812463/8644418),2023-12-01.

[2]田书林,刘科,任开源.高速高精度数据采集系统的设计与实现[J].电子测量与仪器学报,2008,22(1):1-6.

[3]王厚军,戴志坚,田书林,等.一种基于多片ADC交错采样的高速数据采集系统[J].仪器仪表学报,2009,30(2):257-261.

[4]王宏,张东来,徐殿国.基于FPGA的高精度数据采集系统设计[J].电机与控制学报,2006,10(5):511-514.

### 作者简介:

王方(1979—),女,汉族,福建省泉州市人,本科,讲师,研究方向:集成电路,半导体技术方向。泉州轻工职业学院。